

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Shinichi KUROSE et al.

Application No.: To Be Assigned

Group Art Unit: To Be Assigned

Filed: January 23, 2004

Examiner: To Be Assigned

For: METHOD OF DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT WITH
ACCURATE CAPACITANCE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-049375

Filed: February 26, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: January 23, 2004

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 26, 2003

Application Number: No. 2003-049375
[ST.10/C]: [JP 2003-049375]

Applicant(s): FUJITSU LIMITED

October 28, 2003

Commissioner,
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3089144



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 6 日
Date of Application:

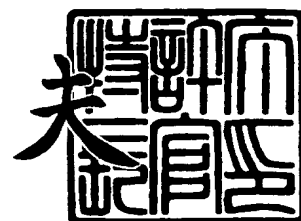
出 願 番 号 特 願 2 0 0 3 - 0 4 9 3 7 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 9 3 7 5]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 0241441

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 17/50
H01L 27/00

【発明の名称】 半導体集積回路及び半導体集積回路の設計方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 黒瀬 真一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 熊谷 憲二

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及び半導体集積回路の設計方法

【特許請求の範囲】

【請求項 1】 外部接続端子を有する第 1 の境界辺と外部接続端子を有さない第 2 の境界辺とを有するブロックと、

該第 1 の境界辺から第 1 の距離の範囲内において該第 1 の境界辺に平行する配線が存在しない配線抑制領域と、

該第 2 の境界辺から第 2 の距離に該第 2 の境界辺に平行して設けられるシールド配線

を含むことを特徴とする半導体集積回路。

【請求項 2】 該ブロックは、該第 1 の境界辺及び該第 2 の境界辺の何れかに属する境界辺により完全に囲まれることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 該配線抑制領域は該第 1 の境界辺の内側に設けられると共に、該シールド配線は該第 2 の境界辺の内側に設けられることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 該配線抑制領域は該第 1 の境界辺の外側に設けられると共に、該シールド配線は該第 2 の境界辺の外側に設けられることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】 該配線抑制領域は該第 1 の境界辺の内側と外側とに設けられると共に、該シールド配線は該第 2 の境界辺の内側と外側とに設けられることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】 該ブロックは、階層化されたレイアウト設計において機能毎に分割されたレイアウト領域であるフィジカルブロックであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 7】 該第 1 及び第 2 の境界辺と該配線抑制領域及び該シールド配線を含む第 1 の配線層とは別の第 2 の配線層において該ブロックは外部接続端子を有する第 3 の境界辺と外部接続端子を有さない第 4 の境界辺とを有し、

該第 3 の境界辺から第 3 の距離の範囲内において該第 3 の境界辺に平行する配

線が存在しない配線抑制領域と、

該第 4 の境界辺から第 4 の距離に該第 4 の境界辺に平行して設けられるシールド配線

を含むことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 8】 a) ブロック領域の各境界辺について外部接続端子を有する第 1 の境界辺であるか外部接続端子を有さない第 2 の境界辺であるかを判断し、

b) 該第 1 の境界辺から第 1 の距離の範囲内において該第 1 の境界辺に平行する配線が存在しない配線抑制領域を設け、

c) 該第 2 の境界辺から第 2 の距離に該第 2 の境界辺に平行してシールド配線を設ける

各段階を含むことを特徴とする半導体集積回路の設計方法。

【請求項 9】 階層化されたレイアウト設計のトップレベルにおいて機能毎に分割されたレイアウト領域であるフィジカルブロックを該ブロック領域として切り出す段階を更に含むことを特徴とする請求項 8 記載の半導体集積回路の設計方法。

【請求項 10】 該段階 a) 乃至 c) を複数の配線層の各々に対して実行することを特徴とする請求項 8 記載の半導体集積回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に半導体集積回路の設計方法及びその方法により設計された半導体集積回路に関し、詳しくは半導体集積回路の階層設計方法におけるフィジカルブロックの設計方法及びその方法により設計された半導体集積回路に関する。

【従来の技術】

半導体集積回路の設計段階においては、シミュレーションにより遅延時間を計算するために、配線の遅延及びゲートの遅延を求める必要がある。このうち配線遅延は、半導体集積回路の微細化が進むにつれて、全体の遅延値に対する支配的要因になってきている。従って、配線間隔に関する情報から、クロストークの影響や配線間の容量を正しく抽出し、正確な遅延値を求めることが必要とされている。

【0002】

一方、半導体集積回路の大規模化に伴い、これまでのように回路全体を一度にレイアウトするフラット設計手法では、データ規模が設計ツールの処理限界を超えるようになってきている。そこで、機能毎に分割されたフィジカルブロックを別々にレイアウトし、それらを組み合わせる階層設計手法を用いる場合が増えて

いる。

【0003】

しかし階層設計手法を用いる場合、レイアウトはフィジカルブロックごとに別々に行われるため、フィジカルブロックの外側に着目してクロストークの影響や配線間に生じる容量を見積もる際には、フィジカルブロックの内側領域の配線パターンが不明である。このためフィジカルブロック内側領域については配線パターンが無いと仮定して、或いはフィジカルブロックの内側境界まで配線パターンがあると仮定して、クロストークの影響や配線間に生じる容量を抽出している。また同様にフィジカルブロックの内側領域に着目した場合には、フィジカルブロックの外側領域の配線パターンが不明である。このためフィジカルブロック外側領域については配線パターンが無いと仮定して、或いはフィジカルブロックの外側境界まで配線パターンがあると仮定して、クロストークの影響や配線間に生じる容量を抽出している。

【0004】

また配置配線情報を持ち、クロストークノイズによる信号遅延等の特性変動を抑えることのできるマクロの作成方法を提供する従来技術がある（特許文献1）。この方法では、マクロ内にチップレベルの配線が通過可能な領域を算出し、その領域の配線条件に基づいてマクロ内の自動配置配線を行い、通過配線可能領域の情報と自動配置配線結果を含むマクロのライブラリを作成する。これにより、チップレベルの配線を配線通過可能領域に通すことで、マクロ内の配線とチップレベルの配線とのクロストークが抑えられる。

【0005】**【特許文献1】**

特開 2002-024310 号公報

【発明が解決しようとする課題】

配線パターンが無いと仮定してクロストークの影響や配線間に生じる容量を抽出した場合、実際に配線パターンが境界近傍に存在しなければ抽出容量の精度に問題はない。しかし配線パターンが境界近傍に存在した場合には、抽出容量の精度が悪くなる。同様に配線パターンが境界近傍まで存在すると仮定してクロストークの影響や配線間に生じる容量を抽出した場合、実際に配線パターンが境界近傍に存在すれば抽出容量の精度に問題はない。しかし配線パターンが境界近傍に存在しない場合には、抽出容量の精度が悪くなる。

【0006】

これによりシミュレーションの動作と実際の動作とが異なる結果となり、半導体集積回路が動作しないという問題が発生したり、また動作した場合でも製造時の歩留まり率が低下するという問題が発生する。

【0007】

これを回避するために、例えばメモリマクロ等では、マクロの境界部にマクロを取り囲むようにシールド配線を施すことがある。しかしフィジカルブロックを取り囲むようにシールド配線を設けてしまうと、フィジカルブロック境界近傍にはフィジカルブロックの内部と外部とを電氣的に接続するための外部接続端子が設けられているので、これらの端子がシールド配線により電氣的に短絡してしまう。これを回避するためには外部端子付近のシールド配線を削除する必要がある、外部接続端子の数が多いフィジカルブロックにおいては設計 T A T (Turn Around Time) の増大を招く。

【0008】

以上を鑑みて、本発明は、設計 T A T に影響を与えることなくフィジカルブロック境界部でのクロストークの影響及び容量抽出の精度を保証することができる設計方法、及びその設計方法により設計される半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

本発明による半導体集積回路は、外部接続端子を有する第 1 の境界辺と外部接続端子を有さない第 2 の境界辺とを有するブロックと、該第 1 の境界辺から最小

配線間隔より長い所定の距離の範囲内において該第 1 の境界辺に平行する配線が存在しない配線抑制領域と、該第 2 の境界辺から最小配線間隔に等しい距離に該第 2 の境界辺に平行して設けられるシールド配線を含むことを特徴とする。

【0009】

本発明による半導体集積回路の設計方法は、a) ブロック領域の各境界辺について外部接続端子を有する第 1 の境界辺であるか外部接続端子を有さない第 2 の境界辺であるかを判断し、b) 該第 1 の境界辺から最小配線間隔より長い所定の距離の範囲内において該第 1 の境界辺に平行する配線が存在しない配線抑制領域を設け、c) 該第 2 の境界辺から最小配線間隔に等しい距離に該第 2 の境界辺に平行してシールド配線を設ける各段階を含むことを特徴とする。

【0010】

上記半導体集積回路の設計においては、フィジカルブロック等のブロックにおいて、外部信号接続端子が存在しない境界辺にはシールド配線を設け、外部信号接続端子が存在する境界辺には境界辺と平行な配線が存在しない領域を設ける。これにより、シールド配線を設けた辺においては常に境界部に配線パターン（シールド配線）が存在するという状態を作り出し、配線抑制領域を設けた辺においては常に境界部に配線パターンが存在しないという状態を作り出す。従って、フィジカルブロック境界部付近で容量抽出する際に、常に存在する配線パターン（シールド配線）を考慮して処理するか、或いは全く配線パターンの影響を無視して処理するかの何れかの処理をすればよく、抽出容量の精度を高い精度に保証することができる。

【0011】

また外部接続端子の有無によりシールド配線を設ける辺と配線抑制領域を設ける辺とを容易に区別して処理の自動化をはかることで、短時間で処理を実行して設計 TAT（Turn Around Time）への影響を最小限に抑えることができる。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0012】

まず最初に本発明の設計方法を適用する対象となるフィジカルブロックについ

て説明する。

【0013】

フィジカルブロックは、階層設計手法を用いた半導体集積回路の設計時において、複数の分割されたレイアウト領域のことであり、階層レイアウトブロックとも呼ばれる。図1は、階層設計手法を用いない場合の半導体集積回路のイメージを示したものである。半導体集積回路の回路はNAND、NOR等のセル並びにRAM、ROM、PLL、乗算器等のマクロから構成される。

【0014】

図2は、階層設計手法を用いた場合の半導体集積回路のイメージ図である。階層設計時においては、上記のセル領域及びマクロに加えて、フィジカルブロックが回路中に存在する。フィジカルブロックの数は1つである場合も複数である場合もある。またセル領域やマクロと同様に、異なるフィジカルブロックが複数存在する場合もあれば、同一のフィジカルブロックが複数存在する場合もある。このフィジカルブロックは、それぞれ回路全体（トップレベル）の設計者とは別の設計者が設計し、回路全体の設計者はこのフィジカルブロックをブラックボックスとして扱い回路設計を行う。つまり設計時におけるフィジカルブロックの扱いはマクロと同様となる。

【0015】

実際には、フィジカルブロックは機能ごとに分割されたレイアウト領域であるので、その内部にはトップレベルと同様にセル領域及びマクロを含む。この構成について、フィジカルブロックの設計者が設計を行いライブラリ化することで、トップレベルではブラックボックスとして処理している。また入れ子構造のように、フィジカルブロックの中に更にフィジカルブロックを作成することも可能である。その場合のフィジカルブロックの設計時には、トップレベルの設計時と同様に、そのフィジカルブロックの中に存在するフィジカルブロックをブラックボックスとして設計を行う。

【0016】

本発明が対象とするレイアウト処理は、前段階の論理設計により得られた論理回路情報に基づいて回路レイアウトを決定し物理的なマスク用パターンを作成す

るものであり、論理設計と対比して物理設計と呼ばれる。

【0017】

論理設計においてもゲートレベルの論理回路を生成する際には論理モジュールという機能ごとに分割された回路を階層状に組み上げて全体の回路を生成するという形をとる。図3は、論理モジュールの階層構造を示す図である。図3でA～Hは論理設計時の論理モジュール10を表している。半導体集積回路の回路全体はA～Dの論理モジュール10から構成されており、A、B、Cはさらに内部にEからHという論理モジュール10を持っている。

【0018】

これに対してレイアウト設計（物理設計）段階における階層設計ではこの論理モジュールと同一の単位で階層を区切るのではなく、幾つかの論理モジュールをまとめたものを1つのレイアウト単位としてレイアウトを行ったり、相互に関連の強い論理モジュールについては階層として扱わずトップレベルで設計を行ったりする。そのようなレイアウト単位の一例を示したのが、図3の点線の枠11である。この例ではA（及びこれに含まれるEとF）、B（及びこれに含まれるG）、Hの3つを物理階層11として扱っており、残りについてはトップレベルで設計するようにしている。

【0019】

このようにレイアウト設計時の階層は論理設計時の階層とは異なるためレイアウト設計での階層を論理階層に対比させて物理階層と呼び、この物理階層を1つのレイアウト領域（ブロック）11として扱う。本明細書において、このようなレイアウト領域11を物理階層のブロック、即ちフィジカルブロックと表現している。

【0020】

図4は、本発明によるフィジカルブロックの構造を示す平面図である。

【0021】

図4において、フィジカルブロック20は、外部接続端子21、シールド配線22、及び配線抑制領域23を含む。また配線25は、外部接続端子21に接続された配線である。

【0022】

本発明ではフィジカルブロック 20 の境界上、境界の内側、境界の外側、又は境界の内側と外側とに、フィジカルブロック 20 を囲むようにシールド配線 22 を設ける。図 4 の例では、フィジカルブロック 20 の境界の内側にシールド配線 22 を配置している。生成されるシールド配線 22 は電源配線又はコンタクト部を介して他の配線層の電源配線の端子に接続する。但し、フィジカルブロック 20 の境界近傍には、フィジカルブロックの内部と外部を電氣的に接続するための外部接続端子 21 が設けられるので、フィジカルブロック 20 の全周をシールド配線で取り囲んでしまうと、外部接続端子 21 若しくはそこに接続される配線 25 とシールド配線 22 との間が電氣的に短絡してしまう。

【0023】

そこで外部接続端子 21 が存在するフィジカルブロック境界辺については、シールド配線 22 を設けずに、配線抑制領域 23 を発生させる。この配線抑制領域 23 においては、フィジカルブロック境界と平行に走る配線を禁止し、フィジカルブロックの内部と外部の間でクロストークの影響や配線容量を考慮する必要がないようにする。なお配線抑制領域 23 の大きさ或いは幅については、配線間のクロストークの影響若しくは配線容量を考慮しなくてもよい長さとする。

【0024】

これにより、シールド配線 22 が設定された辺では、フィジカルブロック境界内側にある配線とシールド配線 22 との間でクロストークの影響や容量の抽出を行えばよく、また配線抑制領域 23 が設定された辺では、クロストークの影響や容量の抽出時に外部の配線の影響を考慮する必要はない。従って、容量抽出の精度を常に高精度に保つことができる。

【0025】

一方、フィジカルブロック境界外側にある配線パターンについては、シールド配線 22 が設定された辺では常にフィジカルブロック境界内側まで配線（シールド配線 22）があるものとして処理することができ、また配線抑制領域 23 が設定された辺では境界近傍に配線がないものとして処理できる。従って、境界内側の場合と同様に容量抽出の精度を常に高精度に保つことができる。

【0026】

実際のレイアウト処理時には、配線は配線グリッドと呼ばれるメッシュ上に設定されたラインの上にのみ引くことができ、また各配線層ごとに縦方向又は横方向の何れかの方向に優先的に引くようなルールが定められている（以降、優先的に引かれる方向を優先配線方向、それと直交する方向を非優先配線方向と呼ぶ）。配線グリッドと配線グリッドの間隔は、ライブラリに定義された最小配線間隔に設定されている。この最小配線間隔は製造上の制約からテクノロジーごとに定められる。

【0027】

ここで着目配線層の優先配線方向が縦方向であり非優先配線方向が横方向であるとすると、この配線層の外部接続端子 21 は接続の容易性を考慮して上辺又は下辺に配置される（もし右辺又は左辺に配置する場合には配線層を変更する）。従って、シールド配線 22 は右辺及び左辺に設定され、配線抑制領域 23 は上辺及び下辺に設定されることになる。

【0028】

シールド配線 22 の発生位置は、フィジカルブロック境界とシールド配線 22 との間に他の配線が通れない距離とすればよい。実際のレイアウトでは、配線は配線グリッドに沿って引かれるので、フィジカルブロック 20 の最外周に存在する配線グリッド上にシールド配線を設ければよい。図 5（a）は、図 4 のフィジカルブロック境界の領域 A1 を拡大して示す図である。図中の点線 28 が配線グリッドの位置を示す。図 5（a）に示されるように、シールド配線 22 は、フィジカルブロック 20 の最外周に存在する配線グリッド上に設けられる。

【0029】

また配線抑制領域 23 の設定は、フィジカルブロック境界からの所定の距離をライブラリに規定しておき、この距離内に存在するフィジカルブロック境界と平行な配線グリッドを削除することで実現することができる。図 5（b）は、図 4 のフィジカルブロック境界の領域 A2 を拡大して示す図である。図中の点線 28 が配線グリッドの位置を示す。図 5（b）に示されるように、配線抑制領域 23 においては、フィジカルブロック境界と平行な方向に延展する配線グリッドが削

除されている。

【0030】

図5(c)は、図4のフィジカルブロック境界の領域A3を拡大して示す図である。図中の点線28が配線グリッドの位置を示す。図5(c)に示されるように、配線抑制領域23以外の領域においては、縦方向と横方向との両方向に延展するように配線グリッドが設けられている。

【0031】

図6は、本発明に係る半導体集積回路設計装置の構成の一形態を示すブロック図である。

【0032】

図6の半導体集積回路設計装置は、CPU31、メモリ32、入力装置33、出力装置34、内部記憶装置35、外部記憶装置36、ネットワークインターフェース37、及びネットワーク上の記憶装置38を含む。CPU31は、メモリ32に格納される基本制御プログラムに基づいて各装置を制御すると共に、内部記憶装置35、又は外部記憶装置36、ネットワーク上の記憶装置38等からメモリ32にロードされるプログラムに基づいて、本発明に係る半導体集積回路設計方法を実行する。入力装置33は文字、数値、各種指示等を入力するためのキーボードやマウス等であり、出力装置34は情報表示や情報出力のためのディスプレイやプリンタ等である。

【0033】

内部記憶装置35はハードディスク等であり、外部記憶装置36は磁気ディスク等である。またネットワークインターフェース37を介して、ネットワーク上の記憶装置38に接続されている。内部記憶装置35、外部記憶装置36、及びネットワーク上の記憶装置38には、設計対象である回路についての回路情報41、各種セルに関する情報やパラメータを格納したライブラリ42、及び本発明の設計方法を実行するためのプログラム43が格納されている。これらのデータ及びプログラムは、内部記憶装置35、外部記憶装置36、及びネットワーク上の記憶装置38のうちの何れか1つの記憶装置に格納されていればよいが、各々の記憶装置に別個に格納されていてもよい。

【0034】

以下に、フィジカルブロック境界内側にシールド配線並びに配線抑制領域を設定する場合の処理について説明する。

【0035】

図7は、トップレベルの設計処理を示すフローチャートである。図8は、フィジカルブロックの設計処理を示すフローチャートである。本発明は階層設計を対象としており、図7の処理対象となる階層の下階層について図8の処理が実行される。

【0036】

図7のステップST1で、トップレベルにおいて提供されたゲートレベルネットリストから各フィジカルブロックを切り出す作業を行う。切り出されたフィジカルブロックのネットリストはフィジカルブロック設計者に渡され、フィジカルブロックの設計者が作業を開始する（図8のフローチャートのスタート）。

【0037】

図8のステップST1で、フィジカルブロックのサイズを決定する。ステップST2で外部接続端子の配置と配線層を決定する。ステップST3で、決定された外部接続端子の位置に関する情報に基づいて、シールド配線を設定する辺と配線抑制領域を設定する辺とを自動的に決定し、フィジカルブロック境界内側にシールド配線並びに配線抑制領域を設定する。

【0038】

以後は、フロアプランと配置・配線（Placement & Routing）を行い（ステップST4）、抵抗・容量（RC）抽出を行い（ステップST5）、抽出したRCに基づいて遅延値を計算し（ステップST6）、遅延計算の結果が所望のタイミング関係を満たしているかを判断してレイアウト検証処理を行う（ステップST7）。これによりフィジカルブロックの設計データを作成する。

【0039】

上記処理において、シールド配線が設定された辺では、フィジカルブロック境界内側にある配線とシールド配線との間で、クロストークの影響やRC抽出を行えばよい。また配線抑制領域が設定された辺では、フィジカルブロックの境界と

平行に走る配線は抑制されているので、フィジカルブロック境界内側にフィジカルブロック外部とクロストークや容量に影響を及ぼす配線は存在せず、クロストークの影響やRC抽出時に外部配線の影響を考慮する必要はない。従ってこのフィジカルブロックに対して、RC抽出を行う際にRCの精度を高精度に保つことができる。

【0040】

図7に戻り、フィジカルブロックについて外部接続端子の配置及び配線層が決定した段階でその情報をトップレベルに戻し、その情報を基にしてフィジカルブロックを他のマクロと同様にブラックボックス化する(ステップST2)。これにより、ブラックボックス化されたフィジカルブロックを他のマクロと全く同一に扱うことができる。まずフロアプランと配置・配線を行い(ステップST3)、その後RC抽出を行い(ステップST4)、抽出したRCに基づいて遅延値を計算し(ステップST5)、遅延計算の結果が所望のタイミング関係を満たしているかを判断してレイアウト検証処理を行う(ステップST6)。これによりチップ全体の設計データを作成する。

【0041】

上記処理中のRC抽出において、各フィジカルブロックのシールド配線が設定された辺では、常にフィジカルブロック境界内側まで配線(シールド配線)があるものとして処理することができる。また配線抑制領域が設定された辺では、フィジカルブロックの境界と平行に走る配線は抑制されているので、フィジカルブロック境界内側にフィジカルブロック外部とクロストークや容量に影響を及ぼす配線は存在せず、常に境界近傍には配線がないものとして処理することができる。従ってトップレベルの設計データでレイアウト後のRC抽出を行う際には、辺ごとに配線の有り／無しを設定して処理することで、RC抽出の精度を保つことができる。

【0042】

以下に、フィジカルブロック境界外側にシールド配線並びに配線抑制領域を設定する場合の処理について説明する。

【0043】

図9は、トップレベルの設計処理を示すフローチャートである。図10は、フィジカルブロックの設計処理を示すフローチャートである。

【0044】

図9のステップST1で、トップレベルにおいて提供されたゲートレベルネットリストから各フィジカルブロックを切り出す作業を行う。切り出されたフィジカルブロックのネットリストはフィジカルブロック設計者に渡され、フィジカルブロックの設計者が作業を開始する（図10のフローチャートのスタート）。

【0045】

図10のステップST1で、フィジカルブロックのサイズを決定する。ステップST2で外部接続端子の配置と配線層を決定する。以後、フロアプランと配置・配線を行い（ステップST3）、RC抽出を行い（ステップST4）、抽出したRCに基づいて遅延値を計算し（ステップST5）、レイアウト検証処理を行う（ステップST6）。これによりフィジカルブロックの設計データを作成する。

【0046】

図9に戻り、フィジカルブロックについて外部接続端子の配置及び配線層が決定した段階でその情報をトップレベルに戻し、その情報を基にしてフィジカルブロックを他のマクロと同様にブラックボックス化する（ステップST2）。外部接続端子の位置に関する情報に基づいて、各フィジカルブロックについてシールド配線を設定する辺と配線抑制領域を設定する辺とを自動的に決定し、フィジカルブロック境界外側にシールド配線並びに配線抑制領域を設定する（ステップST3）。その後、フロアプランと配置・配線を行い（ステップST4）、RC抽出を行い（ステップST5）、抽出したRCに基づいて遅延値を計算し（ステップST6）、レイアウト検証処理を行う（ステップST7）。これによりチップ全体の設計データを作成する。

【0047】

図11は、フィジカルブロック境界外側にシールド配線並びに配線抑制領域を設定する場合の構造を示す平面図である。図11において、フィジカルブロック20は、外部接続端子21を含む。このフィジカルブロック20の外側に、シー

ルド配線 2 2 及び配線抑制領域 2 3 が設けられる。

【0048】

上記トップレベルでの処理において、シールド配線が設定された辺では、フィジカルブロック境界外側にある配線とシールド配線との間で、クロストークの影響や R C 抽出を行えばよい。また配線抑制領域が設定された辺では、クロストークの影響や R C 抽出時にフィジカルブロック内部の配線の影響を考慮する必要はない。従って、トップレベルで R C 抽出を行う際に R C の精度を高精度に保つことができる。

【0049】

また各フィジカルブロック内部での R C 抽出においては、シールド配線が設定されることになる辺では、常にフィジカルブロック境界外側まで配線（シールド配線）があるものとして処理することができる。また配線抑制領域が設定されることになる辺では、境界近傍には配線がないものとして処理することができる。従って、R C 抽出の精度を高精度に保つことができる。

【0050】

以下に、フィジカルブロック境界内側と外側との両方にシールド配線並びに配線抑制領域を設定する場合の処理について説明する。

【0051】

フィジカルブロック境界内側と外側との両方にシールド配線並びに配線抑制領域を設定する為には、フィジカルブロック境界外側にシールド配線並びに配線抑制領域を設定する図 9 の処理フローと、フィジカルブロック境界内側にシールド配線並びに配線抑制領域を設定する図 8 の処理フローとを、そのまま組み合わせて使用すればよい。これにより、図 8 のステップ S T 3 においてフィジカルブロック境界内側にシールド配線並びに配線抑制領域が設定され、図 9 のステップ S T 3 において、フィジカルブロック境界外側にシールド配線並びに配線抑制領域が設定される。それ以外の処理は前述の処理と同様である。

【0052】

図 1 2 は、フィジカルブロック境界内側と外側とにシールド配線並びに配線抑制領域を設定する場合の構造を示す平面図である。図 1 2 において、外部接続端

子 2 1 を含むフィジカルブロック 2 0 の内側と外側との両方に、シールド配線 2 2 及び配線抑制領域 2 3 が設けられる。

【0053】

この構成においても、図 4 又は図 1 1 の構成と同様に、R C 抽出の精度を高精度に保つことができる。

【0054】

図 1 3 は、シールド配線する辺の決定とシールド配線並びに配線抑制領域の設定を行う処理を示すフローチャートである。この処理は、図 8 又は図 9 のステップ S T 3 の処理を詳細に示すものである。

【0055】

ステップ S T 1 で、ライブラリから各配線層の配線ルールを読み込む。ステップ S T 2 で、処理対象のフィジカルブロックの回路情報を読み込む。この回路情報は、フィジカルブロックの外部接続端子の配置位置及び配線層に関する情報を含む。

【0056】

ステップ S T 3 で、読み込まれた回路情報からフィジカルブロック外部接続端子に関する情報を取り出し、各配線層ごとにフィジカルブロックのどの辺に外部接続端子があるかを調べ、各配線層ごとにシールド配線を設定する辺と配線抑制領域を設定する辺を決定する。

【0057】

ステップ S T 4 で、ライブラリから読み込んだ配線ルールに基づいてシールド配線を発生させる。シールド配線とフィジカルブロック境界との間に配線が設けられるとシールドする意味がなくなるので、シールド配線の発生位置はフィジカルブロック境界部とシールド配線との間に他の配線が存在できないような距離に設定する。

【0058】

ステップ S T 5 で、配線抑制領域を設定する辺に対して配線抑制領域を発生させる。配線抑制領域の幅（フィジカルブロック境界から配線抑制領域終端までの距離）については、クロストークの影響や配線間容量を考慮する必要がない距離

を、予めシミュレーションにより求めライブラリに格納しておく。

【0059】

ステップ S T 6 で、全ての配線層について上記処理が終了したか否かを判断する。NO の場合には、ステップ S T 3 に戻り、次の配線層について上記処理を実行する。全ての配線層に対してシールド配線と配線抑制領域との設定が完了したら、ステップ S T 7 に進む。ステップ S T 7 で、シールド配線と配線抑制領域とを含む回路情報により、元の回路情報を更新する。

【0060】

以上で処理を終了する。

【0061】

図 1 4 は、図 4 に示す構造の配線層が積層された場合の半導体集積回路の構造を示す図である。

【0062】

図 1 4 (a) は第 1 の配線層を示し、(b) は第 2 の配線層を示す。多層配線層構造の半導体集積回路においては各配線層が積層され、図 1 4 (a) に示す第 1 の配線層の上に、(b) に示す第 2 の配線層が重ねて設けられる。図 1 4 に示す例では、配線層ごとの優先配線方向は、(a) に示す第 1 の配線層においては縦方向であり、(b) に示す第 2 の配線層においては横方向である。一般に、縦方向の優先配線方向と横方向の優先配線方向とが、複数の配線層で交互に繰り返される。

【0063】

図 1 4 (a) に示すように、シールド配線 2 2 が左右辺に設けられ配線抑制領域 2 3 が上下辺に設けられる構成と、図 1 4 (b) に示すように、シールド配線 2 2 が上下辺に設けられ配線抑制領域 2 3 が左右辺に設けられる構成とが積層される。各配線層におけるシールド配線 2 2 並びに配線抑制領域 2 3 の設定方法については前述の方法と同様である。

【0064】

なお図 1 1 又は図 1 2 のような構成を、多層配線層構造の半導体集積回路に適用してもよい。この場合、図 1 1 又は図 1 2 の構成で、シールド配線 2 2 が縦方

向に設けられ配線抑制領域 2 3 が横方向に設けられる構成と、シールド配線 2 2 が横方向に設けられ配線抑制領域が縦方向に設けられる構成とが、交互に積載されることになる。

【0 0 6 5】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【0 0 6 6】

なお本発明は以下の内容を含むものである。

(付記 1) 外部接続端子を有する第 1 の境界辺と外部接続端子を有さない第 2 の境界辺とを有するブロックと、

該第 1 の境界辺から第 1 の距離の範囲内において該第 1 の境界辺に平行する配線が存在しない配線抑制領域と、

該第 2 の境界辺から第 2 の距離に該第 2 の境界辺に平行して設けられるシールド配線

を含むことを特徴とする半導体集積回路。

(付記 2) 該ブロックは、該第 1 の境界辺及び該第 2 の境界辺の何れかに属する境界辺により完全に囲まれることを特徴とする付記 1 記載の半導体集積回路。

(付記 3) 該配線抑制領域は該第 1 の境界辺の内側に設けられると共に、該シールド配線は該第 2 の境界辺の内側に設けられることを特徴とする付記 1 記載の半導体集積回路。

(付記 4) 該配線抑制領域は該第 1 の境界辺の外側に設けられると共に、該シールド配線は該第 2 の境界辺の外側に設けられることを特徴とする付記 1 記載の半導体集積回路。

(付記 5) 該配線抑制領域は該第 1 の境界辺の内側と外側とに設けられると共に、該シールド配線は該第 2 の境界辺の内側と外側とに設けられることを特徴とする付記 1 記載の半導体集積回路。

(付記 6) 該ブロックは、階層化されたレイアウト設計において機能毎に分割されたレイアウト領域であるフィジカルブロックであることを特徴とする付記 1 記載の半導体集積回路。

(付記 7) 該第 1 及び第 2 の境界辺と該配線抑制領域及び該シールド配線を含む第 1 の配線層とは別の第 2 の配線層において該ブロックは外部接続端子を有する第 3 の境界辺と外部接続端子を有さない第 4 の境界辺とを有し、

該第 3 の境界辺から第 3 の距離の範囲内において該第 3 の境界辺に平行する配線が存在しない配線抑制領域と、

該第 4 の境界辺から第 4 の距離に該第 4 の境界辺に平行して設けられるシールド配線

を含むことを特徴とする付記 1 記載の半導体集積回路。

(付記 8) a) ブロック領域の各境界辺について外部接続端子を有する第 1 の境界辺であるか外部接続端子を有さない第 2 の境界辺であるかを判断し、

b) 該第 1 の境界辺から第 1 の距離の範囲内において該第 1 の境界辺に平行する配線が存在しない配線抑制領域を設け、

c) 該第 2 の境界辺から第 2 の距離に該第 2 の境界辺に平行してシールド配線を設ける

各段階を含むことを特徴とする半導体集積回路の設計方法。

(付記 9) 階層化されたレイアウト設計のトップレベルにおいて機能毎に分割されたレイアウト領域であるフィジカルブロックを該ブロック領域として切り出す段階を更に含むことを特徴とする付記 8 記載の半導体集積回路の設計方法。

(付記 10) 該段階 a) 乃至 c) を複数の配線層の各々に対して実行することを特徴とする付記 8 記載の半導体集積回路の設計方法。

(付記 11) 該第 1 の距離は最小配線間隔より長いことを特徴とする付記 1 記載の半導体集積回路。

(付記 12) 該第 2 の距離は最小配線間隔に等しいことを特徴とする付記 1 記載の半導体集積回路。

(付記 13) 該第 3 の距離は最小配線間隔より長いことを特徴とする付記 7 記載の半導体集積回路。

(付記 14) 該第 4 の距離は最小配線間隔に等しいことを特徴とする付記 7 記載の半導体集積回路。

(付記 15) 該第 1 の距離は最小配線間隔より長いことを特徴とする付記 8 記載

の半導体集積回路の設計方法。

(付記 16) 該第 2 の距離は最小配線間隔に等しいことを特徴とする付記 8 記載の半導体集積回路の設計方法。

【発明の効果】

上記説明した半導体集積回路の設計においては、フィジカルブロックにおいて、外部信号接続端子が存在しない境界辺にはシールド配線を設け、外部信号接続端子が存在する境界辺には境界辺と平行な配線が存在しない領域を設ける。これにより、シールド配線を設けた辺においては常に境界部に配線パターン（シールド配線）が存在するという状態を作り出し、配線抑制領域を設けた辺においては常に境界部に配線パターンが存在しないという状態を作り出す。従って、フィジカルブロック境界部付近で容量抽出する際に、常に存在する配線パターン（シールド配線）を考慮して処理するか、或いは全く配線パターンの影響を無視して処理するかの何れかの処理をすればよく、抽出容量の精度を高い精度に保証することができる。

【0067】

また外部接続端子の有無によりシールド配線を設ける辺と配線抑制領域を設ける辺とを容易に区別して処理の自動化をはかることで、短時間で処理を実行して設計 TAT (Turn Around Time) への影響を最小限に抑えることができる。

【図面の簡単な説明】

【図 1】

階層設計手法を用いない場合の半導体集積回路の概略構成を示す図である。

【図 2】

階層設計手法を用いた場合の半導体集積回路の概略構成を示す図である。

【図 3】

論理モジュールの階層構造を示す図である。

【図 4】

本発明によるフィジカルブロックの構造を示す平面図である。

【図 5】

図 4 のフィジカルブロックの各領域を拡大して示す図である。

【図 6】

本発明に係る半導体集積回路設計装置の構成の一形態を示すブロック図である。

【図 7】

トップレベルの設計処理を示すフローチャートである。

【図 8】

フィジカルブロックの設計処理を示すフローチャートである。

【図 9】

トップレベルの設計処理を示すフローチャートである。

【図 1 0】

フィジカルブロックの設計処理を示すフローチャートである。

【図 1 1】

フィジカルブロック境界外側にシールド配線並びに配線抑制領域を設定する場合の構造を示す平面図である。

【図 1 2】

フィジカルブロック境界内側と外側とにシールド配線並びに配線抑制領域を設定する場合の構造を示す平面図である。

【図 1 3】

シールド配線する辺の決定とシールド配線並びに配線抑制領域の設定を行う処理を示すフローチャートである。

【図 1 4】

図 4 に示す構造の配線層が積層された場合の半導体集積回路の構造を示す図である。

【符号の説明】

- 1 0 論理モジュール
- 1 1 フィジカルブロック
- 2 0 フィジカルブロック
- 2 1 外部接続端子
- 2 2 シールド配線

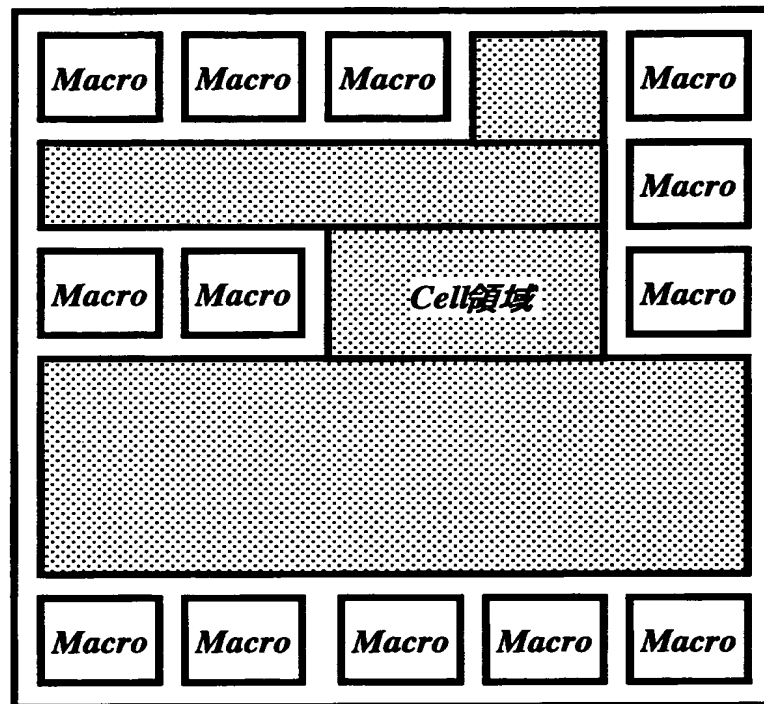
2 3 配線抑制領域

2 5 配線

【書類名】 図面

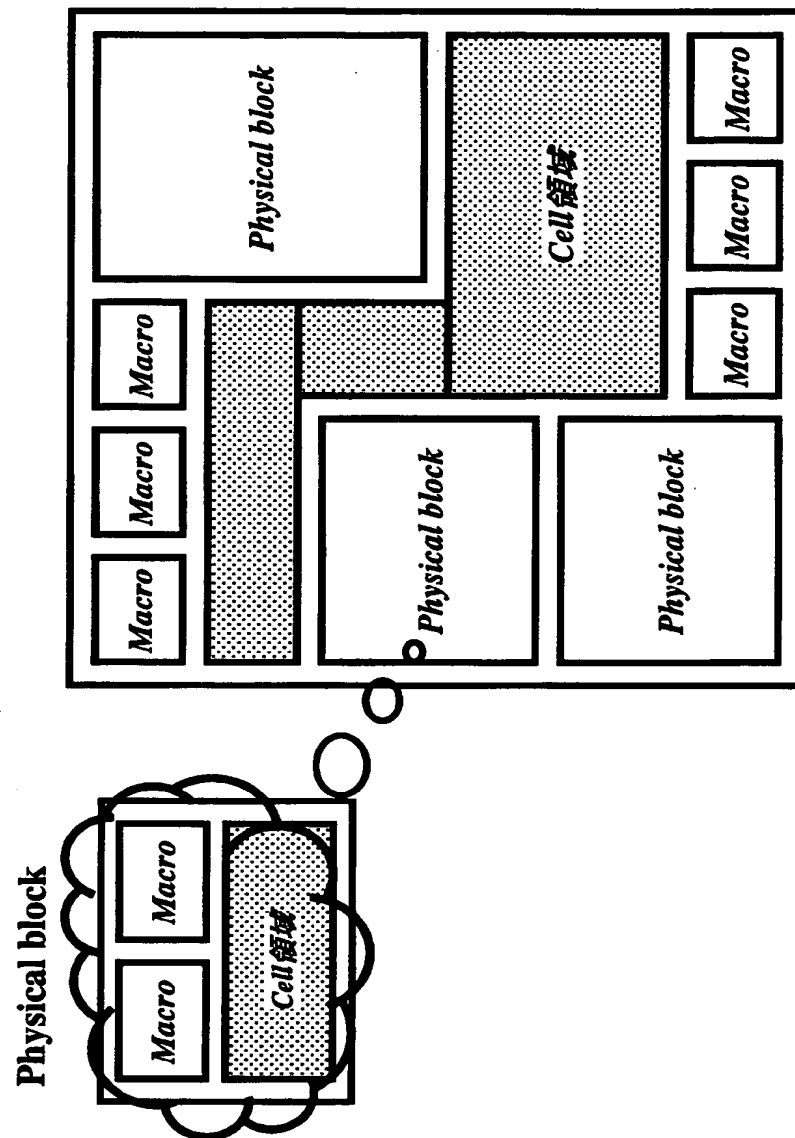
【図 1】

階層設計手法を用いない場合の半導体集積回路の概略構成を示す図



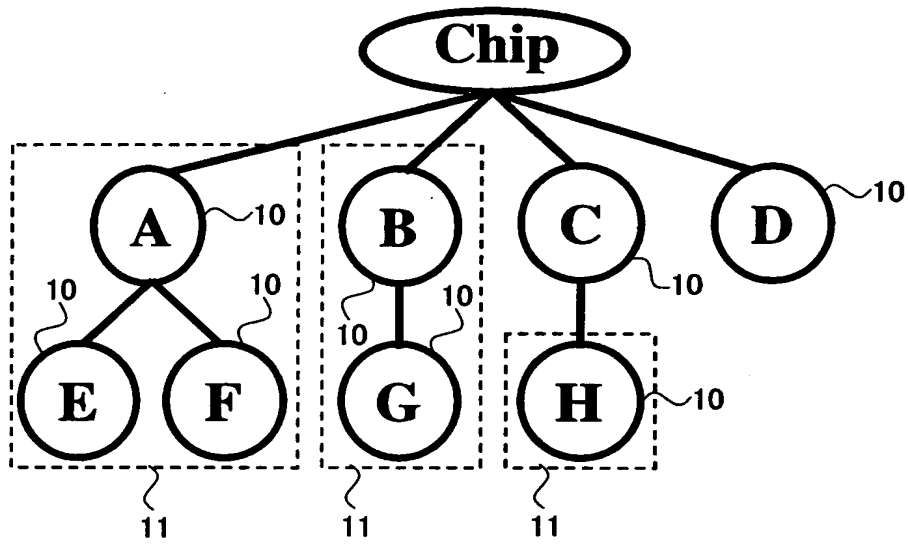
【図 2】

階層設計手法を用いた場合の半導体集積回路の概要構成図を示す図



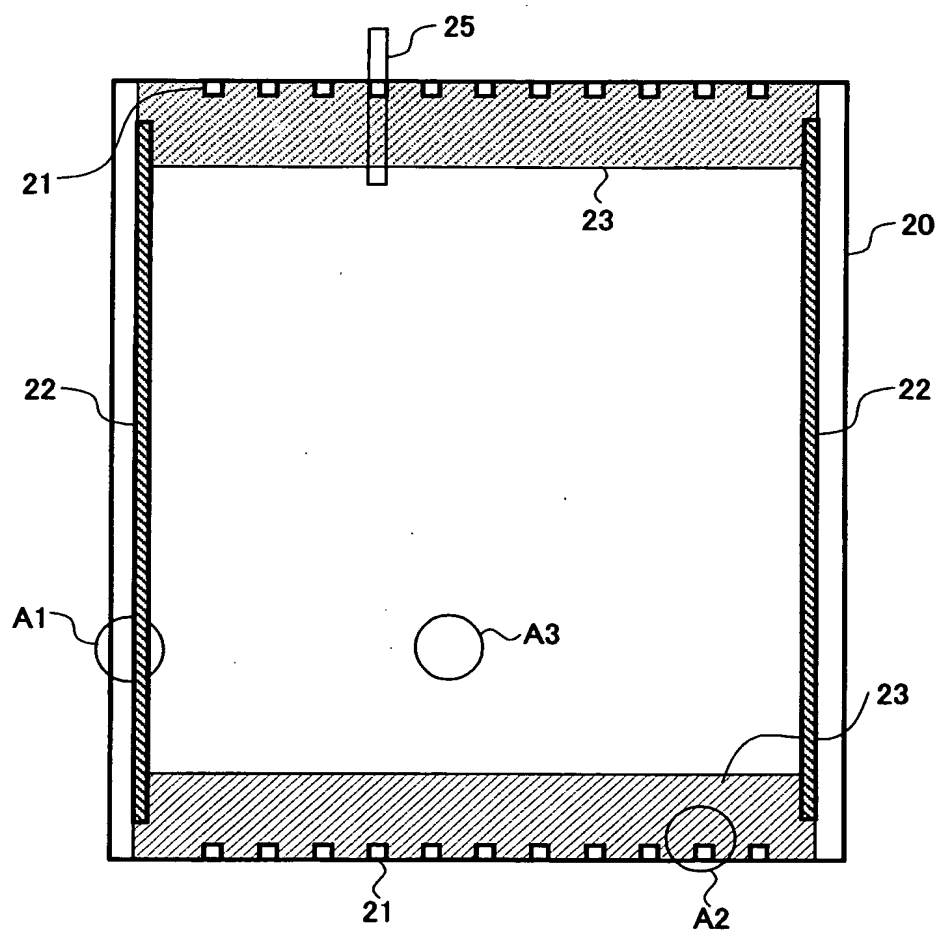
【図 3】

論理モジュールの階層構造を示す図



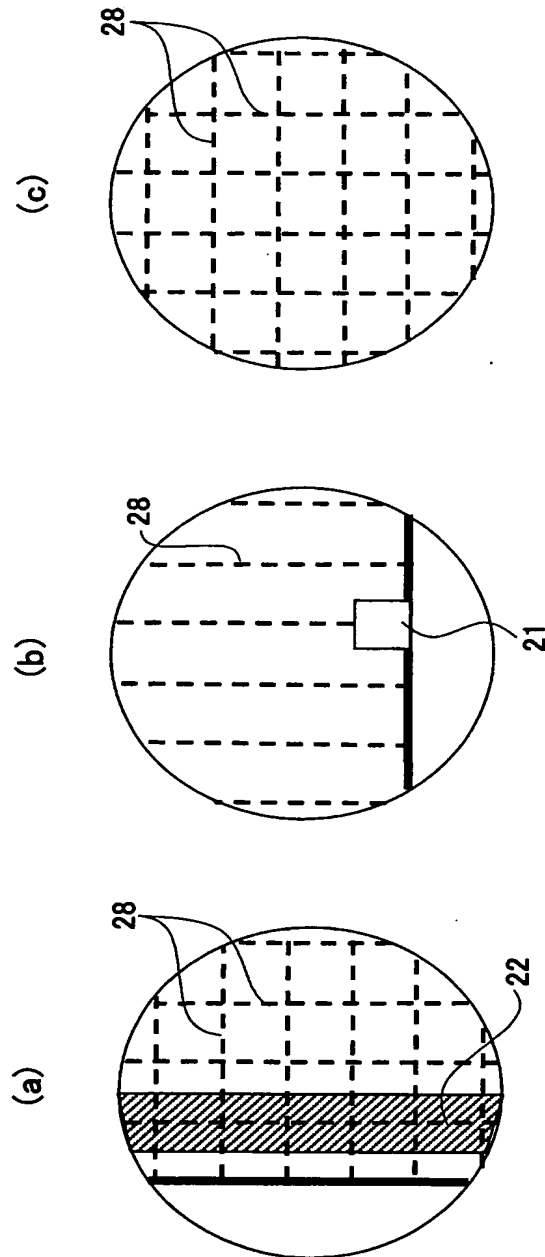
【図 4】

本発明によるフィジカルブロックの構造を示す平面図



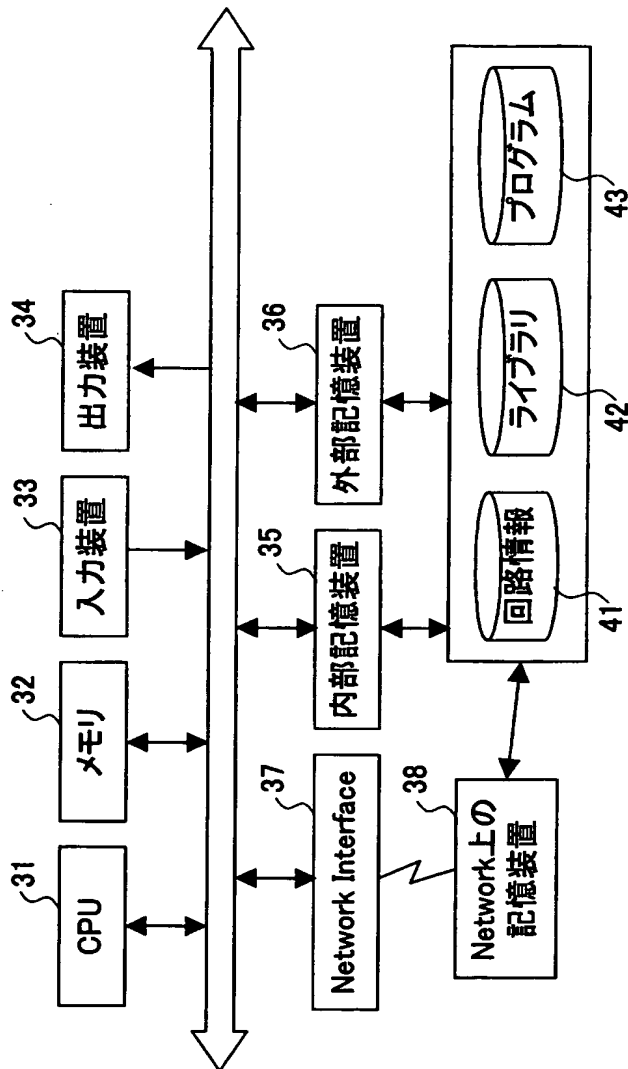
【図 5】

図4のフィジカルブロックの各領域を拡大して示す図



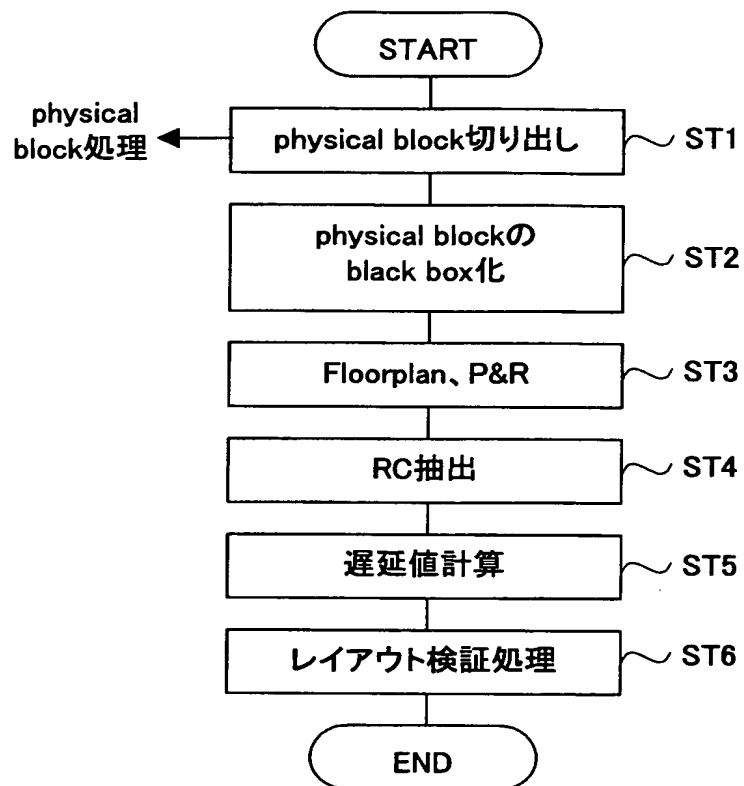
【図 6】

本発明に係る半導体集積回路設計装置の構成の一形態を示すブロック図



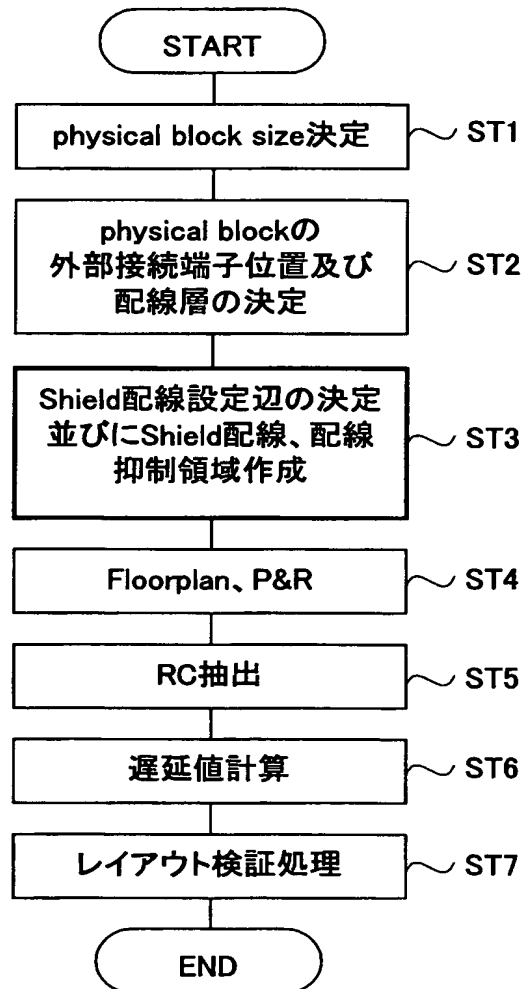
【図 7】

トップレベルの設計処理を示すフローチャート



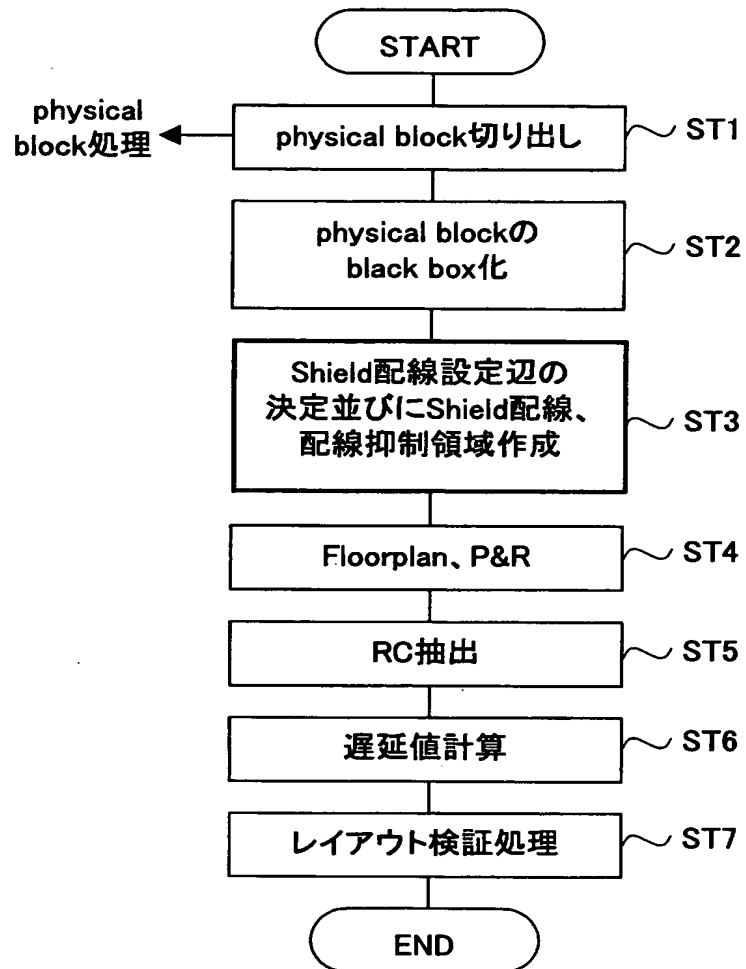
【図 8】

フィジカルブロックの設計処理を示すフローチャート



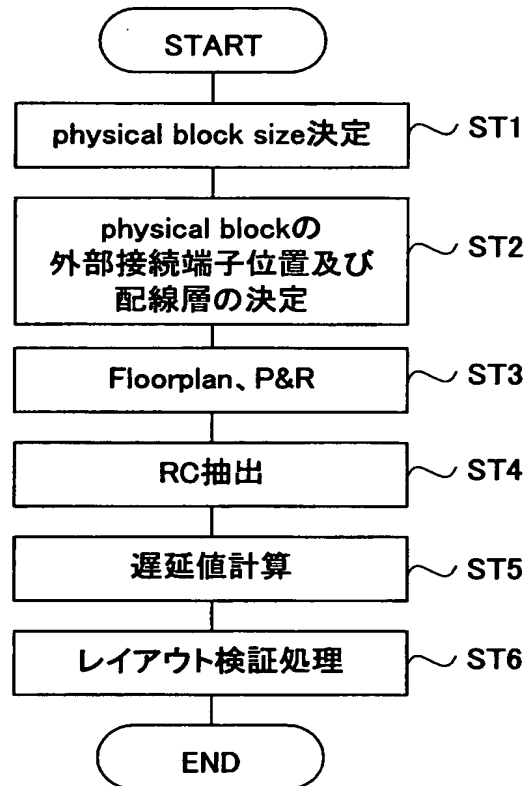
【図 9】

トップレベルの設計処理を示すフローチャート



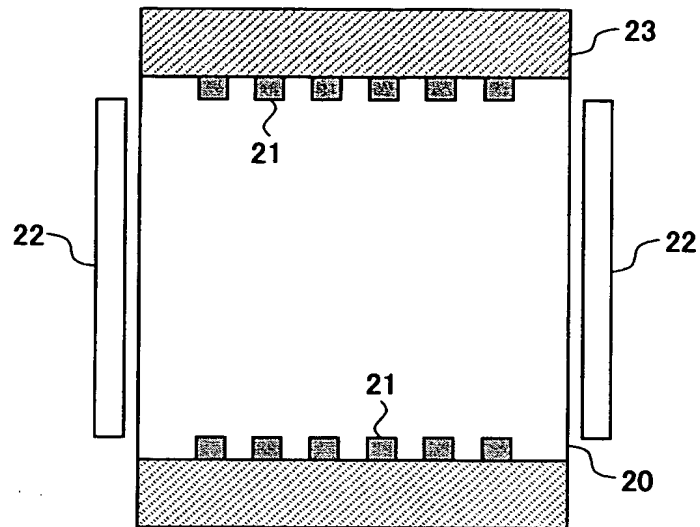
【図 10】

フィジカルブロックの設計処理を示すフローチャート



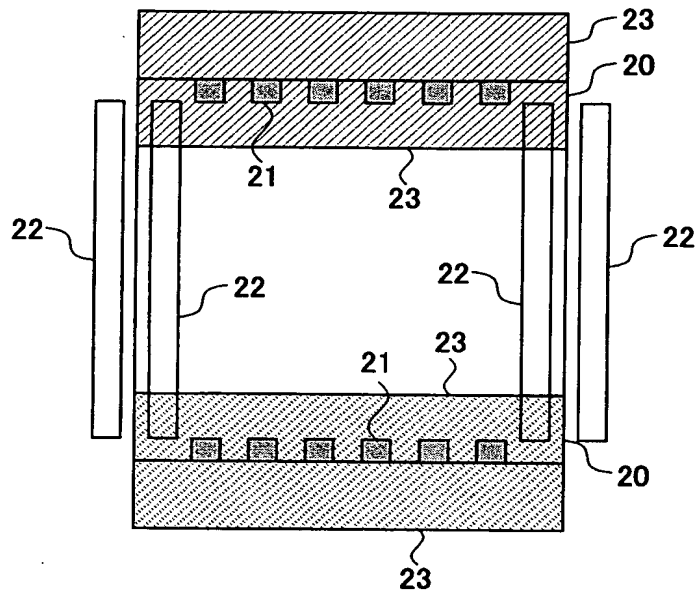
【図 11】

フィジカルブロック境界外側にシールド配線並びに配線抑制領域を設定する場合の構造を示す平面図



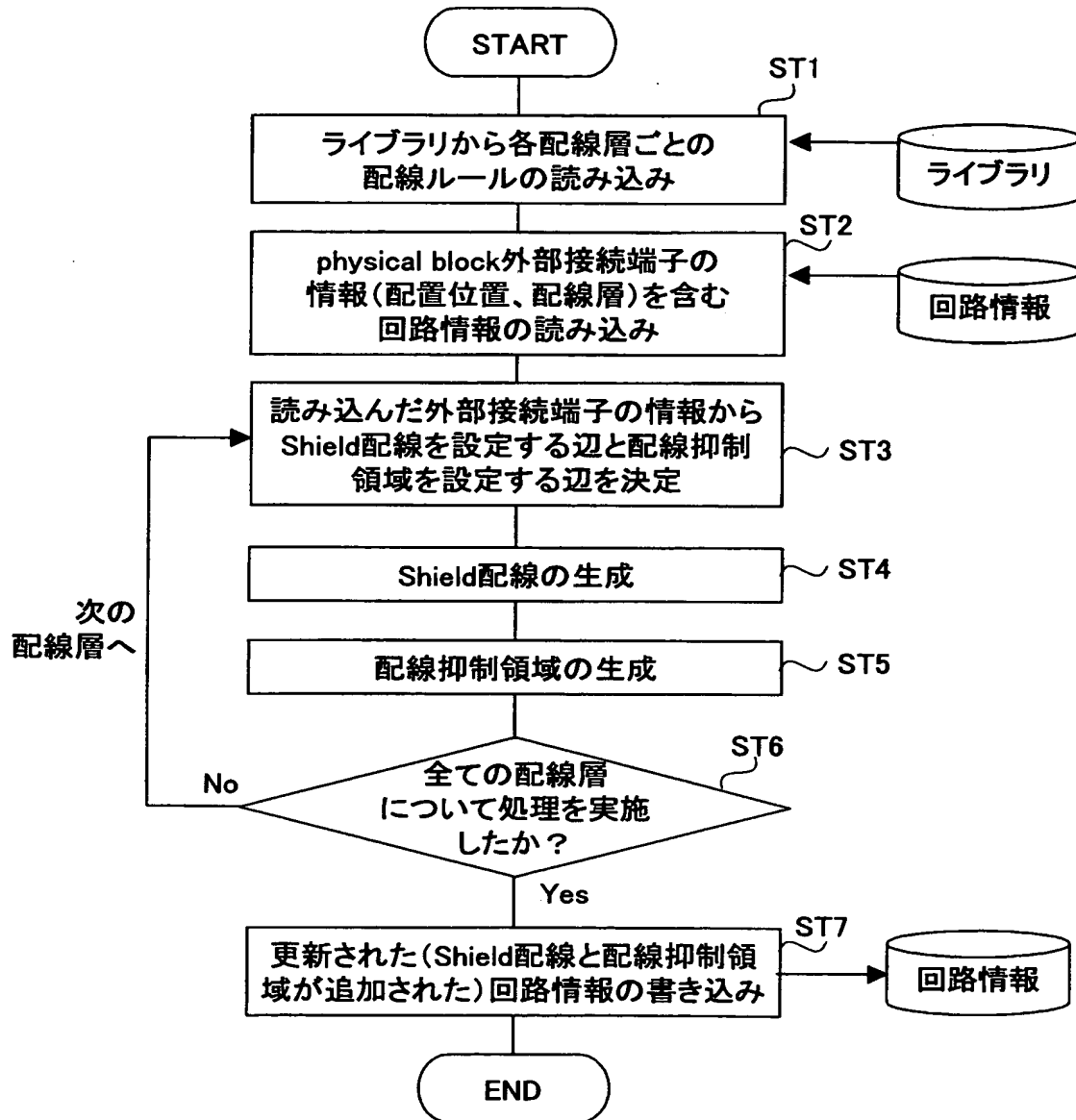
【図 12】

フィジカルブロック境界内側と外側とにシールド配線並びに
配線抑制領域を設定する場合の構造を示す平面図



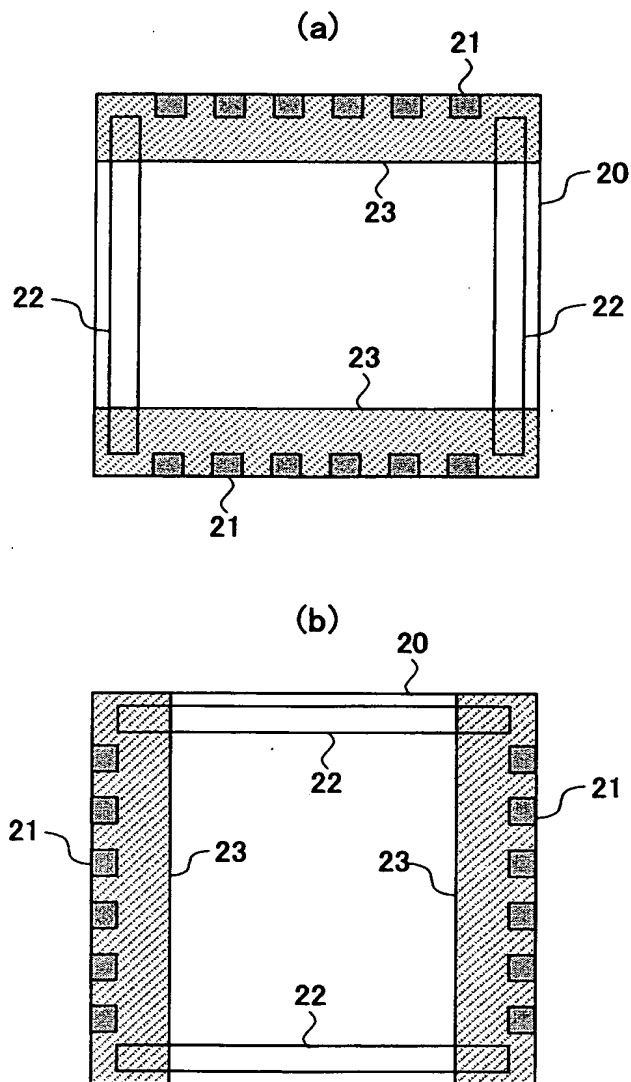
【図 13】

シールド配線する辺の決定とシールド配線並びに配線抑制領域の設定を行う処理を示すフローチャート



【図 14】

図4に示す構造の配線層が積層された場合の
半導体集積回路の構造を示す図



【書類名】 要約書

【要約】

【課題】 設計段階でフィジカルブロック境界部でのクロストークの影響及び容量抽出の精度を保証することができる半導体集積回路を提供することを目的とする。

【解決手段】 半導体集積回路は、外部接続端子を有する第 1 の境界辺と外部接続端子を有さない第 2 の境界辺とを有するブロックと、第 1 の境界辺から最小配線間隔より長い所定の距離の範囲内において第 1 の境界辺に平行する配線が存在しない配線抑制領域と、第 2 の境界辺から最小配線間隔に等しい距離に第 2 の境界辺に平行して設けられるシールド配線を含むことを特徴とする。

【選択図】 図 4

特願 2 0 0 3 - 0 4 9 3 7 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社